

175363

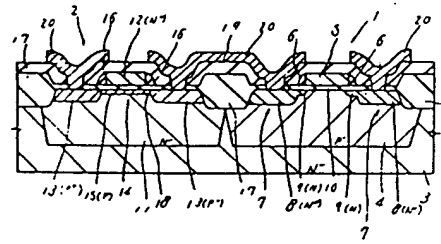
21

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 61-133656 (A) (43) 20.6.1986 (19) JP
 (21) Appl. No. 59-254010 (22) 3.12.1984
 (71) HITACHI LTD (72) SHUJI IKEDA(3)
 (51) Int. Cl. H01L27/08, H01L29/78

PURPOSE: To decrease a short channel effect and to improve a withstanding voltage, by providing an offset structure for the source and drain regions of an MOS transistor (Tr) with respect to the gate so that the structure is continued to a channel layer having the same conducting type.

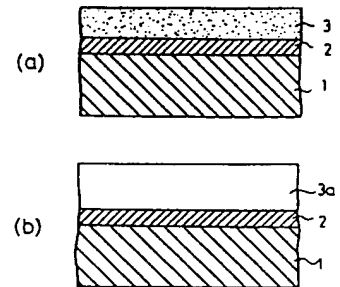
CONSTITUTION: The Figure shows the case when the device is applied to a CMOS. Source and drain regions 7 and 7 or an N-channel MOSTr1 are constituted by high-impurity concentration N⁺ type semiconductor layers 8 and 8, which are formed in an offset structure with respect to gates, and low-impurity concentration N type semiconductor layers 9 and 9, which are continued to the layers 8 and 8 and extended to the lower part of the gate. Source and drain 13 and 13 of a P-channel MOSTr2 are constituted in an offset structure with respect to a gate electrode 12. i.e., P type channel layer 15, which is formed on the surface of the channel layer 14.

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 61-133657 (A) (43) 20.6.1986 (19) JP
 (21) Appl. No. 59-255505 (22) 3.12.1984
 (71) FUJITSU LTD (72) HITOSHI HASEGAWA
 (51) Int. Cl. H01L27/10, H01L27/04

PURPOSE: To suppress the yield of hole defects such as pin holes in a Ta₂O₅ film, by forming a tantalum film, whose resistance is 150μΩ·cm or less, on an Si nitride film that is grown on an Si substrate, and performing thermal oxidation and annealing of said film.

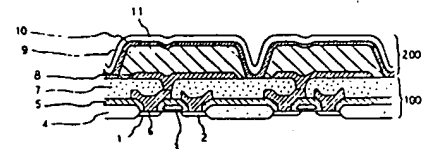
CONSTITUTION: In forming a storage capacitor comprising a tantalum pentoxide film and an Si nitride film, at first, an Si nitride film 2 is formed on an Si substrate 1 to a thickness of 1,000Å. Tantalum is evaporated on the Si nitride film 2 to a thickness of 300Å or less. Then, the tantalum is thermally oxidized in a dry oxygen atmosphere at a temperature of 500°C. The film is annealed at 1,100°C for 30min, and the tantalum film 3 is oxidized into a Ta₂O₅ film.

**(54) SOLID-STATE IMAGE SENSOR ELEMENT AND MANUFACTURE THEREOF**

(11) 61-133658 (A) (43) 20.6.1986 (19) JP
 (21) Appl. No. 59-252808 (22) 1.12.1984
 (71) FUJI PHOTO FILM CO LTD (72) KAZUHIRO KAWAJIRI(3)
 (51) Int. Cl. H01L27/14, H04N5/335

PURPOSE: To omit patterning aligned with picture elements and to simplify the manufacturing processes of an element accordingly, by isolating light sensitive layers for every picture element, and coating an electrode corresponding to each picture element by the light sensitive layer, which is isolated for every picture element.

CONSTITUTION: A scanning circuit substrate 100 has an MOSFET comprising a source 1, a drain 2 and a gate 3. The FETs are isolated by an insulating layer 4. An electrode layer 8 is made to be a basis electrode comprising, e.g., Al-Si. An n type amorphous silicon hydride layer 9, which is not doped as a light sensitive layer and includes the surface of an insulating film 7 that is exposed to the layer 8, is arranged. On the layer 9, a p⁺ type amorphous silicon hydride film 10 is arranged by adding impurities to each picture element by a photolithography process. A transparent electrode layer 11 is arranged on the film 10.



THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭61-133657

⑬ Int. Cl. 4

H 01 L 27/10
27/04

識別記号

庁内整理番号

6655-5F
C-7514-5F

⑭ 公開 昭和61年(1986)6月20日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭59-255505

⑰ 出 願 昭59(1984)12月3日

⑱ 発 明 者 長 谷 川 齊 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
⑳ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

五酸化タンタル膜とシリコン窒化膜から成るストレージキャパシタの形成において、シリコン基板上に成長したシリコン窒化膜上に抵抗 $150\mu\Omega \cdot \text{cm}$ 以下のタンタル膜を形成し、該タンタル膜の熱酸化とアニールを行うことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法、例えばダイナミック・ランダム・アクセス・メモリ (d-RAM) のストレージキャパシタ (storage capacitor、以下キャパシタという) に用いる五酸化タンタル膜を作るタンタル膜 (Ta膜) の抵抗を $150\mu\Omega \cdot \text{cm}$ 以下に設定し、しかる後にその熱処理をなすことにより特性に優れたキャパシタを形成する方法に関する。

(従来の技術)

d-RAM の絶縁膜として従来は二酸化シリコン膜 (SiO_2 膜) が用いられてきたが、それをTaを酸化して得られる五酸化タンタル膜 (Ta_2O_5 膜) で置き換える研究が進められている。その理由は、 SiO_2 の誘電率は3.9程度であるのに対し、 Ta_2O_5 のそれは20以上であり、従来はキャパシタの容量を大にするため SiO_2 膜は100 Å程度の膜厚にしなければならず、そのことは製造工程上難しい問題を含むものであったのに対し、誘電率が SiO_2 の5倍以上の Ta_2O_5 を用いると、その膜厚を500 Å程度にしても十分に大なる容量が得られると共に、500 Åの膜厚の Ta_2O_5 膜を作ることは、100 Åの膜厚の SiO_2 膜を作るより製造工程が容易であるからである。

そして、シリコン基板上にクラックや凹凸のない Ta_2O_5 膜を作るには、基板上に先ずシリコン窒化膜 (Si_3N_4 膜) を成長し、その上にTaを堆積してTa膜を作り、このTa膜を熱酸化により酸化すると、クラックや凹凸のない Ta_2O_5 が得られること

を本発明者は確認した。

(発明が解決しようとする問題点)

ところで、d-RAM のストレージキャパシタとして用いられる Ta_2O_5 膜は、700℃付近以上の熱処理によって Ta_2O_5 の結晶化が始まり、熱処理温度上昇と共に結晶化の割合が進行する。この結晶化は、 Ta_2O_5 膜の漏れ電流 (leakage current) が増大し、キャパシタの特性を著しく劣化させる原因の一つであることが知られている (J.E.C.S., Vol.130, No. 12, p. 2414, '83)。漏れ電流の発生は、結晶中に存在するピンホールが原因の一つであると考えられるので、漏れ電流を小にするには Ta_2O_5 膜の製造において Ta_2O_5 が結晶化しない条件を決定し、そのような条件の下で Ta_2O_5 膜を作成する方法が研究されている。

(問題点を解決するための手段)

本発明は、上記問題点を解消した Ta_2O_5 膜の製造方法を提供するもので、その手段は、五酸化タンタル膜とシリコン窒化膜から成るストレージキャパシタの形成において、シリコン基板上に成長

したシリコン窒化膜上に抵抗 $150\mu\Omega\cdot\text{cm}$ 以下のタンタル膜を形成し、該タンタル膜の熱酸化とアニールを行うことを特徴とする半導体装置の製造方法によってなされる。

(作用)

上記方法においては、 Ta_2O_5 膜を作るに際して、 Ta の膜抵抗を $150\mu\Omega\cdot\text{cm}$ 以下に抑え、それを熱処理することによって Ta_2O_5 の結晶化を抑え、かかる Ta_2O_5 膜によってキャパシタを形成し、漏れ電流の発生を抑えてキャパシタの特性劣化を防止するものであり、 Ta の膜抵抗を前記の値以下に抑えるには、広い範囲の温度にわたって Ta の堆積が可能になるようシリコン窒化膜の上に Ta を堆積し、次いで高温で Ta_2O_5 膜を形成するものである。

(実施例)

以下、図面を参照して本発明の実施例を詳細に説明する。

まず、第1図の断面図を参照して本発明にかかる Ta_2O_5 膜の形成方法を説明する。シリコン基板1上にシリコン窒化膜2を1000Åの膜厚に例えば

(3)

化学気相成長法 (CVD 法) で成長し、シリコン窒化膜2の上に300Å以下の膜厚にタンタル (Ta) を蒸着する。

次いで、500℃の温度、乾酸素雰囲気中で Ta を熱酸化し、次いで1100℃で30分アニールして Ta 膜3を Ta_2O_5 膜3aに酸化する。

次に、 Ta_2O_5 の結晶化を、第2図の線図に示す如く、アメリカ材料試験協会 (American Society of Testing Materials, ASTM) の規定に従うハナワルト法によるX線回折法で測定した。なお、第2図においては、横軸に Ta の抵抗 (ρ) を $\mu\Omega\cdot\text{cm}$ でとり、縦軸にX線回折強度をとるが、 Ta の (001) 面の強度を1とした。曲線Aは (001) 面、曲線Bは (100) 面、曲線Cは (101) 面について抵抗 ρ とX線回折強度の関係を示す。同図から、 Ta の抵抗 $150\mu\Omega\cdot\text{cm}$ において急激に結晶化が進むこと、いいかえると、 $150\mu\Omega\cdot\text{cm}$ 以下では結晶化が著しく抑制されることが理解される。

(発明の効果)

以上説明したように本発明によれば、 Ta をアニ

(4)

ールして Ta_2O_5 膜を作る際に、 Ta 膜抵抗を $150\mu\Omega\cdot\text{cm}$ 以下に抑えることにより Ta_2O_5 の結晶化が抑制され、その結果 Ta_2O_5 膜にピンホールなどの欠陥の発生が抑えられるので、漏れ電流の発生が抑制され、特性に優れた Ta_2O_5 膜が、従って特性の良い d-RAM のストレージキャパシタが提供される。

4. 図面の簡単な説明

第1図(a)と(b)は本発明にかかる Ta_2O_5 膜の形成を示す断面図、第2図は Ta の抵抗とX線回折強度との関係を示す線図である。

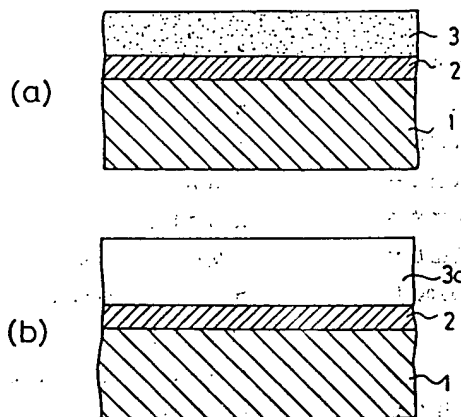
図中、1はシリコン基板、2はシリコン窒化膜、3は Ta 膜、3aは Ta_2O_5 膜、をそれぞれ示す。

特許出願人 富士通株式会社
代理人 弁理士 松岡宏四郎

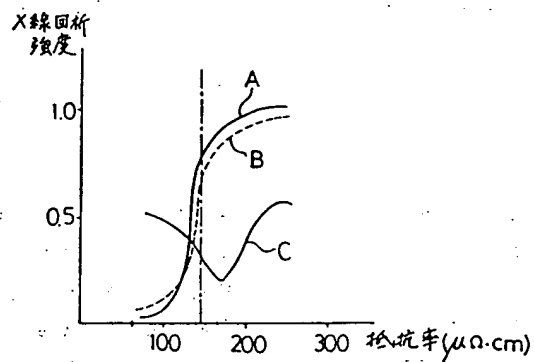
(5)

(6)

第 1 図



第 2 図



DUCKET NO: GR 99 P 5363

SPECIAL NO: 09/729,058

APPLICANT: Krasemann et al.

LENER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100